

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-023005

(43)Date of publication of application : 21.01.1997

(51)Int.Cl.

H01L 29/78
H01L 21/336

(21)Application number : 07-170968

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 06.07.1995

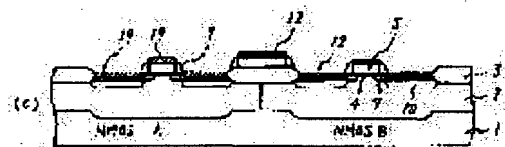
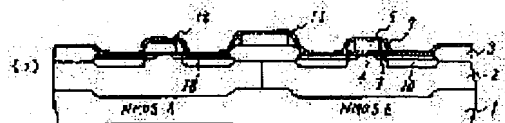
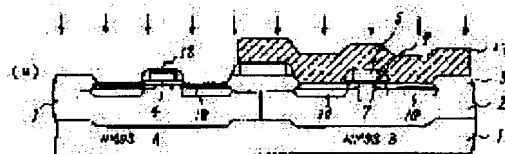
(72)Inventor : KIMURA MASATOSHI
SUGIYAMA MASAO

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To highly reliably form high-resistance areas the resistance values of which do not drop at parts of a gate electrode and source-drain areas in a semiconductor device in which silicide layers are formed on the gate electrode and source-drain areas by using a siliciding technology.

SOLUTION: After a gate electrode 5 and source-drain areas 10 are formed and N and O ions are implanted into a prescribed area by using a resist mask 17, a Ti layer 11 is deposited on the entire surface and high-resistance Ti_xNySi_z mixing layers 19 and a low-resistance TiSi_2 layer 12 are respectively formed in prescribed areas on the electrode 5 and the source-drain areas 10 and on the other area by siliciding the Ti layer 11 by heat-treating the layer 11 in a self-aligning way.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-23005

(43) 公開日 平成9年(1997)1月21日

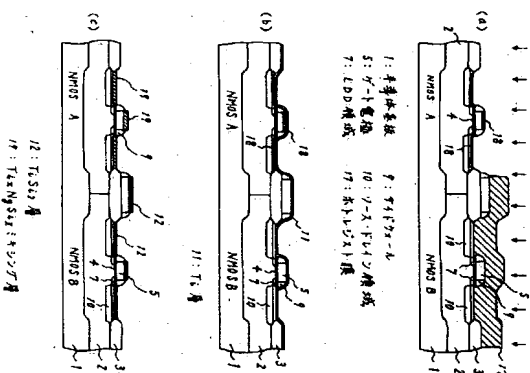
(51) IntCl ⁴	識別記号	庁内整理番号	技術表示箇所
H01L 29/78 21/336	F I H01L 29/78	301 P 301 L 301 G 301 S	
(21) 出願番号	特願平7-170968	(71) 出願人	000006013 三菱電機株式会社 東京都千代田区丸の内二丁目2番3号
(22) 出願日	平成7年(1995)7月6日	(72) 発明者	木村 雅俊 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
		(72) 発明者	杉山 雅夫 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
		(74) 代理人	弁護士 高田 守 (外4名)

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【目的】 ゲート電極5およびソース・ドレイン領域10上に、シリサイド技術によりシリサイド層を形成した半導体装置において、上記ゲート電極5およびソース・ドレイン領域10の一部に低抵抗化しない高抵抗領域を信頼性良く形成する。

【構成】 ゲート電極5およびソース・ドレイン領域10形成後、レジストマスク17を用いて所定領域にN⁺イオンまたはO⁺イオンを注入した後、全面にTi層11を堆積し、熱処理により自己整合的にシリサイド化することにより、ゲート電極5およびソース・ドレイン領域10上で所定領域に高抵抗のTi_{1-x}NySi_zミキシン層19を、それ以外に低抵抗のTiSi₂層12を形成する。



【特許請求の範囲】

【請求項1】 半導体基板上に、シリコンから成る導電層と、この導電層上にシリサイド技術により形成されたシリサイド層とを有し、上記シリサイド層の一部を、N⁺イオンあるいはO⁺イオンが導入された高抵抗シリサイド層で構成したことを特徴とする半導体装置。

【請求項2】 単結晶シリコンから成る半導体基板に、ポリシリコンから成る導電層となるゲート電極を形成し、イオン注入によりLDD領域を形成後、上記ゲート電極側壁にサイドラールを形成し、その後イオン注入により導電層となるソース・ドレイン領域を形成する工程と、その後、レジストマスクを用いて所定の領域にN⁺イオンまたはO⁺イオンを注入する工程と、上記半導体基板上の全面に金属層を堆積する工程と、上記半導体基板に熱処理を施すことにより上記ゲート電極上および上記ソース・ドレイン領域上の上記金属層を自己整合的にシリサイド化し、その後未反応の上記金属層を除去する工程と、を有することを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】 ゲート電極およびソース・ドレイン領域を形成後、N⁺イオンまたはO⁺イオンを所定の領域に注入し、その後全面に金属層を堆積して、熱処理により自己整合的にシリサイド化することにより、N⁺イオン注入領域またはO⁺イオン注入領域の上記ゲート電極上および上記ソース・ドレイン領域上に高抵抗シリサイド層を、上記注入領域以外の上記ゲート電極上および上記ソース・ドレイン領域上に低抵抗シリサイド層を形成することを特徴とする請求項2記載の半導体装置の製造方法。

【請求項4】 ゲート電極およびソース・ドレイン領域を形成後、全面に金属層を堆積した後、N⁺イオンまたはO⁺イオンを所定の領域に注入し、その後熱処理により上記金属層を自己整合的にシリサイド化することにより、N⁺イオン注入領域またはO⁺イオン注入領域の上記ゲート電極上および上記ソース・ドレイン領域上に高抵抗シリサイド層を、上記注入領域以外の上記ゲート電極上および上記ソース・ドレイン領域上に低抵抗シリサイド層を形成することを特徴とする請求項2記載の半導体装置の製造方法。

【請求項5】 ゲート電極およびソース・ドレイン領域を形成後、全面に金属層を堆積して熱処理により自己整合的にシリサイド化し、その後N⁺イオンまたはO⁺イオンを所定の領域に注入することにより、N⁺イオン注入領域またはO⁺イオン注入領域の上記ゲート電極上および上記ソース・ドレイン領域上に高抵抗シリサイド層を、上記注入領域以外の上記ゲート電極上および上記ソース・ドレイン領域上に低抵抗シリサイド層を形成することを特徴とする請求項2記載の半導体装置の製造方法。

【請求項6】 ゲート電極およびソース・ドレイン領域を形成後、上記ゲート電極上および上記ソース・ドレイン領域上にエピタキシャル層を選択成長させ、その後N⁺イオンまたはO⁺イオンの注入および金属層の堆積を行うことを特徴とする請求項3～5のいずれかに記載の半導体装置の製造方法。

【請求項7】 半導体基板上の全面に金属層としてTi層を堆積し、その上の全面にH₂SO₄/H₂O₂に酸性を有する保護膜を形成し、次いでレジストマスクを用いて所定の領域にN⁺イオンまたはO⁺イオンを注入し、その後レジストマスク除去後、H₂SO₄/H₂O₂を用いて上記レジストマスクの残膜除去を行い、次いで上記保護膜を除去することを特徴とする請求項4記載の半導体装置の製造方法。

【請求項8】 単結晶シリコンから成る半導体基板に、ポリシリコンから成るゲート電極を形成し、イオン注入によりLDD領域を形成後、上記ゲート電極側壁にサイドラールを形成し、その後イオン注入によりソース・ドレイン領域を形成する工程と、その後、上記半導体基板上の所定領域に選択的に金属層を形成する工程と、上記半導体基板に熱処理を施すことにより上記ゲート電極上および上記ソース・ドレイン領域の上記金属層を自己整合的にシリサイド化し、その後未反応の上記金属層を除去する工程と、を有し、上記ゲート電極上および上記ソース・ドレイン領域上に、低抵抗シリサイド層の形成領域と非形成領域とを設けることを特徴とする半導体装置の製造方法。

【請求項9】 半導体基板上の全面に金属層としてTi層を堆積し、その上の全面にH₂SO₄/H₂O₂に酸性を有する保護膜を形成し、次いで、レジストマスクを用いて上記保護膜をエッチング除去して所定領域に残存させ、次いで上記レジストマスク除去後、H₂SO₄/H₂O₂を用いて上記レジストマスクの残膜除去を行い、次いで、上記保護膜をエッチング除去して下地の上記Ti層をエッチング除去した後、上記保護膜を除去することにより、上記半導体基板上の所定領域に選択的に金属層を形成することを特徴とする請求項8記載の半導体装置の製造方法。

【請求項10】 保護膜としてSi₃N₄層を用いることを特徴とする請求項7または9記載の半導体装置の製造方法。

【請求項11】 半導体基板上に、シリコンから成る導電層と、この導電層上にシリサイド技術により形成されたシリサイド層とを有し、外部パッドに接続した上記導電層上に、上記外部パッドとの接続のためのコンタクトホール部を囲んで環状に、N⁺イオンあるいはO⁺イオンが導入された高抵抗シリサイド層を形成するか、あるいはシリサイド層を形成しないことにより、高抵抗領域を形成したことを特徴とする半導体装置。

【請求項12】 半導体基板上のゲート電極上およびソース・ドレイン領域上にシリサイド技術により形成されたシリサイド層を有する半導体装置において、外部パッドと入カドライバの上記ゲート電極との双方にそれぞれ、

接続される出力ドライバの上記ソース・ドレイン領域上で、上記外部バスへの接続のためのコンタクトホールAが、上記入力ドライバの上記ゲート電極への接続のためのコンタクトホールBに対して、上記出力ドライバの上記ゲート電極側に配設され、上記コンタクトホールA部を上記コンタクトホールB部との間および周囲に、N+イオンあるいはO+イオンが導入された高抵抗シリサイド層を形成する、あるいはシリサイド層を形成しないことにより、高抵抗領域を形成したことを特徴とする半導体装置。

【請求項13】 半導体基板上のゲート電極上およびソース・ドレイン領域上にシリサイド技術により形成されたシリサイド層を有する半導体装置において、外部バスに出力ドライバの上記ソース・ドレイン領域および入力ドライバの上記ゲート電極が、接続した配線層で順次接続され、上記出力ドライバの上記ソース・ドレイン領域上における上記配線層のコンタクトホール部の周囲と上記配線層と接続する上記入力ドライバの上記ゲート電極上と、N+イオンあるいはO+イオンが導入された高抵抗シリサイド層を形成するか、あるいはシリサイド層を形成しないことにより、高抵抗領域を形成したことを特徴とする半導体装置。

【請求項14】 請求項12または13に係る半導体装置であって、N+イオンあるいはO+イオンが導入された高抵抗シリサイド層が形成される場合において、上記高抵抗シリサイド層をソース・ドレイン領域とフィールド絶縁膜との境界部近傍には形成しないことを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、半導体装置に関し、特にシリサイド (SALICIDE: Self Aligned Silicide) 技術を用いた半導体集積回路装置に関するものである。

【0002】

【従来の技術】 LSIの高集積化に伴って、コンタクト抵抗の低減や、低抵抗なゲート、ソース・ドレイン等の電極形成のため、シリサイド層を自己整合的にシリコン上に形成するシリサイド技術は、近年広く用いられている。シリサイド技術を用いた半導体装置の製造方法は、NMOSTランジスタについて適用したものを図10〜図18を用いて以下に説明する。まず、P型の単結晶シリコンを用いた半導体基板1 (以下、基板1と称す) にP型ウェル領域2 (以下、Pウェル2と称す) を形成し、LOCOS法を用いて分離用フィールド絶縁層3を形成後、全面にゲート酸化膜4を形成する。その後、全面にポーゾロシリコン膜 (あるいはポーゾロフィールドシリコン膜) 5aを堆積した後、全面にホトレジスト膜6を形成後ホトリソグラフィ技術によりパターンニングする (図10)。

【0003】 次に、ホトレジストパターン6をマスクに

して、下地のポーゾロシリコン膜5aをエッチングして導電層となるゲート電極5を形成する (図11)。次に、ホトレジスト膜6を除去した後 (図12)、N+型LDD領域7を形成するため、斜め回転イオン注入法によりAsまたはP等の不純物を基板1上から注入する (図13)。次に、全面にTEOS膜8を約0.05〜0.2μmの膜厚に堆積した後 (図14)、異方性ドライエッチングにより全面エッチバックして、ゲート電極5側壁にサイドウォール9を形成する (図15)。次に、導電層となるN+型ソース・ドレイン領域10形成のため、イオン注入法によりAsまたはP等の不純物を基板1上から注入する (図16)。

【0004】 この後、シリサイド技術を用いて、シリサイド層をゲート電極5上およびソース・ドレイン領域10上に形成する方法を以下に示す。上記の様にソース・ドレイン領域10が形成された基板1上の全面に金属層としてのTi層11を、例えばスパッタ法により堆積する (図17)。その後、基板1にランプラニアール等の熱処理を施すことにより、シリコン上のTi層11と下地のシリコンとを反応させ低抵抗シリサイド層としてのTiSi₂層12に変成させる。この後、未反応のTi層11をH₂SO₄/H₂O₂等の溶液を用いて除去する。これによりシリコン上、すなわち、ゲート電極5上およびソース・ドレイン領域10上にのみTiSi₂層12が自己整合的に形成される (図18)。この後、層間絶縁膜および電極配線層の形成を行い、所定の処理を施してNMOSTランジスタを完成する (図示せず)。

【0005】 ところで、LSIでは一般に、静電放電 (以下、ESDと称す) 等から内部回路を保護するため、入出力保護回路を設ける。その場合、上述した様なシリサイド技術により、入出力保護回路を構成するランジスタのゲート5上、およびソース・ドレイン領域10上にTiSi₂層12等の低抵抗なシリサイド層が形成されると、外部バスから入力されたサージによる影響を受けやすくなる。特に図19に示すソース・ドレイン領域10のコーナー部13は電界集中を起し易く、上記サージがソース・ドレイン領域10の拡散層抵抗の1/10以下であるシリサイド層の抵抗 (TiSi₂層12の抵抗率: 約13〜18mΩ・cm) を経て上記コーナー部13に到達することによりその部分で接続破壊を生じ易い。

【0006】 このため、シリサイド技術を用いてLSIを製造する際、入出力保護回路を構成するランジスタにおいては、選択的に低抵抗なシリサイド層を形成しない方法が考案されている。例えばUSP5021853号公報に示される半導体装置の製造方法を図20に基いて以下に示す。まず、図10〜図13で示した同様の方法により、ゲート電極5形成後N+型LDD領域7を形成する。その後全面にTEOS膜8を堆積後、レジストマスクを用いて異方性ドライエッチングにより選択的に

にエッチングをすることにより、NMOSTランジスタA領域となる領域上にTEOS膜8を残存させ、NMOSTランジスタB領域となる領域のゲート電極5側壁にサイドウォール9を形成する (図20 (a))。

【0007】 次に、N+型ソース・ドレイン領域10形成のため、イオン注入法によりAsまたはP等の不純物を基板1上から注入する (図20 (b))。この後、全面にTi層11を例えばスパッタ法により堆積した後、ランプラニアール等の熱処理を施してシリコン上のTi層11をTiSi₂層12に変成させ、その後未反応のTi層11を除去する。これによりTEOS膜8が形成されたNMOSTランジスタA領域にはTiSi₂層12は形成されず、NMOSTランジスタBのゲート電極5上およびソース・ドレイン領域10上に、選択的にTiSi₂層12が形成される (図20 (c))。

【0008】 この様に、同一基板1上で、シリサイド技術を用いて低抵抗シリサイド層を形成する際に、選択的に低抵抗シリサイド層を形成しない領域を製造する。しかしながら、上記の様な製造方法では、ソース・ドレイン領域10形成のためのイオン注入の際、NMOSTランジスタAではTEOS膜8が除去された基板1シリコン上からの注入である。このためNMOSTランジスタAとNMOSTランジスタBとでは、ソース・ドレイン領域10の不純物分布が異なってしまう。余分なイオン注入工程を追加する事によって上記ソース・ドレイン領域10の不純物分布を揃えることは可能であるが、工程が複雑になるものである。

【0009】 この様な問題を改善する従来の別例による半導体装置の製造方法を図21に基いて以下に示す。まず、図10〜図16で示したと同様の方法により、ゲート電極5形成後N+型LDD領域7を形成し、全面にTEOS膜8を堆積後、全面エッチバックしてサイドウォール9を形成し、その後、N+型ソース・ドレイン領域10を形成する。次に、全面に第2のTEOS膜14を堆積 (図21 (a))、その上の全面にホトレジスト膜15を形成後、ホトリソグラフィ技術によりパターンニングする。このホトレジストパターン15をマスクにして、異方性ドライエッチングにより、選択的にエッチングをすることにより、NMOSTランジスタA領域上に第2のTEOS膜14aを残存させ、NMOSTランジスタB領域においてはゲート電極5に第2のサイドウォール16を形成しているため、第2のサイドウォール16はサイドウォール9の外側に形成される (図21 (b))。

【0010】 その後、ホトレジスト膜15を除去した後 (図21 (c))、全面にTi層11を例えばスパッタ法により堆積した後 (図21 (d))、ランプラニアール等の熱処理を施してシリコン上のTi層11をTiSi₂層12に変成させ、その後未反応のTi層11を除去する。これにより第2のTEOS膜14aが形成されたNMOSTランジスタA領域にはTiSi₂層12は形成されず、NMOSTランジスタBのゲート電極5上およびソース・ドレイン領域10上に、選択的にTiSi₂層12が形成される (図21 (e))。

【0011】

【発明が解決しようとする課題】 しかしながら上記の様に、ソース・ドレイン領域10形成後、第2のTEOS膜14aをマスクとしてシリサイド技術を用いると、上述した様なソース・ドレイン領域10の不純物分布が異なる問題は解消されるが、第2のTEOS膜14aをパターンニングする際、第2のサイドウォール16がゲート電極5側壁に形成されてしまう。このためNMOSTランジスタBにおいて、ソース・ドレイン領域10上のTiSi₂層12の面積が第2のサイドウォール16の分だけ減少してしまい、ソース・ドレイン間においては第2のサイドウォール16下層の拡散層抵抗が直列抵抗となり、素子の動作速度が劣化するものであった。

【0012】 この発明は、以上の様な問題を解消するためになされたものであって、シリサイド技術を用いてシリコンから成る導電層上に低抵抗シリサイド層を形成する半導体装置において、選択的に上記低抵抗シリサイド層を形成しない高抵抗領域を設け、上記低抵抗シリサイド層の形成領域と高抵抗領域とで、ソース・ドレイン領域の不純物分布が異なることなく、また上記形成領域において、低抵抗シリサイド層の面積が減少して抵抗増大により素子の動作速度が劣化することが防止された、高速で信頼性の高い半導体装置を得ることを目的とする。

【0013】

【課題を解決するための手段】 この発明の請求項1に係る半導体装置は、半導体基板上に、シリコンから成る導電層と、この導電層上にシリサイド技術により形成されたシリサイド層とを有し、上記シリサイド層の一部を、N+イオンあるいはO+イオンが導入された高抵抗シリサイド層で構成したものである。

【0014】 この発明の請求項2に係る半導体装置の製造方法は、単結晶シリコンから成る半導体基板に、ポリシリコンから成る導電層となるゲート電極を形成し、イオン注入によりLDD領域を形成後、上記ゲート電極側壁にサイドウォールを形成し、その後N+イオン導入により導電層となるソース・ドレイン領域を形成する工程と、その後、レジストマスクを用いて所定の領域にN+イオンまたはO+イオンを導入する工程と、上記半導体基板上の全面に金属層を堆積する工程と、上記半導体基板に熱処理を施すことにより上記ゲート電極およびシリサイド層11、その後未反応の上記金属層を除去する工程と、を有するものである。

【0015】この発明の請求項3に係る半導体装置の製造方法は、ゲート電極およびソース・ドレイン領域を形成した後、NイオンまたはOイオンを所定の領域に注入し、その後全面に金属層を堆積して、熱処理により自己整合的にシリサイド化することにより、Nイオン注入領域またはOイオン注入領域の上記ゲート電極および上記ソース・ドレイン領域上に高抵抗シリサイド層を、上記注入領域以外の上記ゲート電極および上記ソース・ドレイン領域上に低抵抗シリサイド層を形成するものである。

【0016】この発明の請求項4に係る半導体装置の製造方法は、ゲート電極およびソース・ドレイン領域を形成後、全面に金属層を堆積した後、NイオンまたはOイオンを所定の領域に注入し、その後熱処理により上記金属層を自己整合的にシリサイド化することにより、Nイオン注入領域またはOイオン注入領域の上記ゲート電極および上記ソース・ドレイン領域上に高抵抗シリサイド層を、上記注入領域以外の上記ゲート電極および上記ソース・ドレイン領域上に低抵抗シリサイド層を形成するものである。

【0017】この発明の請求項5に係る半導体装置の製造方法は、ゲート電極およびソース・ドレイン領域を形成後、全面に金属層を堆積して熱処理により自己整合的にシリサイド化し、その後NイオンまたはOイオンを所定の領域に注入することにより、Nイオン注入領域またはOイオン注入領域の上記ゲート電極および上記ソース・ドレイン領域上に高抵抗シリサイド層を、上記注入領域以外の上記ゲート電極および上記ソース・ドレイン領域上に低抵抗シリサイド層を形成するものである。

【0018】この発明の請求項6に係る半導体装置の製造方法は、ゲート電極およびソース・ドレイン領域を形成後、上記ゲート電極および上記ソース・ドレイン領域上にエビタキシャル層を選択成長させ、その後NイオンまたはOイオンの注入および金属層の堆積を行うものである。

【0019】この発明の請求項7に係る半導体装置の製造方法は、半導体基板上の全面に金属層としてT₁層を堆積し、その上の全面にH₂SO₄/H₂O₂に酸性を有する保護膜を形成し、次いでレジストマスクを用いて所定の領域にNイオンまたはOイオンを注入し、その後上記レジストマスク除去後、H₂SO₄/H₂O₂を用いて上記レジストマスクの残渣除去を行い、次いで上記保護膜を除去するものである。

【0020】この発明の請求項8に係る半導体装置の製造方法は、単結晶シリコンから成る半導体基板に、ポリシリコンから成るゲート電極を形成し、イオン注入によりLDD領域を形成後、上記ゲート電極隔壁にシリサイド層を形成し、その後イオン注入によりソース・ドレイン領域を形成する工程と、その後、上記半導体基板上の所定領域に選択的に金属層を形成する工程と、上記半

導体基板に熱処理を施すことにより上記ゲート電極および上記ソース・ドレイン領域の上記金属層を自己整合的にシリサイド化し、その後反応の上記金属層を除去する工程と、を有し、上記ゲート電極および上記ソース・ドレイン領域上に、低抵抗シリサイド層の形成領域と非形成領域とを設けるものである。

【0021】この発明の請求項9に係る半導体装置の製造方法は、半導体基板上の全面に金属層としてT₁層を堆積し、その上の全面にH₂SO₄/H₂O₂に酸性を有する保護膜を形成し、次いで、レジストマスクを用いて上記保護膜をエッチング除去して所定領域に残存させ、次いで上記レジストマスクの残渣除去を行い、次いで、上記保護膜をマスクにして下地の上記T₁層をエッチング除去した後、上記保護膜を除去することによって上記半導体基板上の所定領域に選択的に金属層を形成するものである。

【0022】この発明の請求項10に係る半導体装置の製造方法は、保護膜としてS₁N₃層を用いるものである。

【0023】この発明の請求項11に係る半導体装置は、半導体基板上に、シリコンから成る導電層と、この導電層上にシリサイド技術により形成されたシリサイド層とを有し、外部パッドに接続される上記導電層上に、上記外部パッドへの接続のためのコンタクトホール部を囲んで露出し、NイオンあるいはOイオンが導入された高抵抗シリサイド層を形成するか、あるいはシリサイド層を形成しないことにより、高抵抗領域を形成したものである。

【0024】この発明の請求項12に係る半導体装置は、外部パッドと入力ドライバのゲート電極との双方は、それぞれ接続される出力ドライバのソース・ドレイン領域上で、上記外部パッドへの接続のためのコンタクトホール部が、上記入力ドライバの上記ゲート電極への接続のためのコンタクトホール部に対して、上記出力ドライバの上記ゲート電極側に配設され、上記コンタクトホール部を上記コンタクトホール部との間において、NイオンあるいはOイオンが導入された高抵抗シリサイド層を形成するか、あるいはシリサイド層を形成しないことにより、高抵抗領域を形成したものである。

【0025】この発明の請求項13に係る半導体装置は、外部パッド、出力ドライバのソース・ドレイン領域、および入力ドライバのゲート電極が、接続した配線層で順次接続され、上記出力ドライバの上記ソース・ドレイン領域上における上記配線層のコンタクトホール部の周囲と、上記配線層と接続する上記入力ドライバの上記ゲート電極上とに、NイオンあるいはOイオンが導入された高抵抗シリサイド層を形成するか、あるいはシリサイド層を形成しないことにより、高抵抗領域を形成したものである。

【0026】この発明の請求項14に係る半導体装置は、高抵抗シリサイド層をソース・ドレイン領域とフィールド絶縁膜との境界部近傍には形成しないものである。

【0027】この発明による半導体装置は、シリサイド技術により半導体基板上に形成されたシリサイド層の一部を、NイオンあるいはOイオンが導入された高抵抗シリサイド層で構成したものである。すなわち半導体基板上のシリコンから成る導電層上に、低抵抗シリサイド層領域と高抵抗シリサイド層領域との双方が形成される。これにより、例えば入出力保護回路等、用途により低抵抗化が不適当な導電層上には、高抵抗シリサイド層が形成でき、回路設計上の自由度が向上し、信頼性の高い半導体装置が得られる。

【0028】また、この発明による半導体装置の製造方法は、ゲート電極およびソース・ドレイン領域を形成後、シリサイド技術によりシリサイド層形成工程とレジストマスクを用いて所定領域にNイオンまたはOイオンを注入する工程とを行う。このため、Nイオン（またはOイオン）注入領域では高抵抗シリサイド層が、それ以外の領域では低抵抗シリサイド層が形成され、上記の様な回路設計上の自由度が向上し、信頼性の高い半導体装置が容易に製造できる。また、Nイオン（またはOイオン）注入領域とそれ以外の領域でソース・ドレイン領域の不純物分布が異なることはなく、低抵抗シリサイド層の面積が、余分なシリダロールの為に減少して抵抗を増大させることもなく、高速でさらに信頼性の高い半導体装置が得られる。

【0029】また、この発明によると、ゲート電極およびソース・ドレイン領域を形成後、NイオンまたはOイオンを所定領域に注入後、金属層を堆積してシリサイド化させるため、金属層堆積後にNイオン（またはOイオン）の注入を行う場合の様に、金属原子がPN接合近辺にまで浸透することはなく、接合リーク等の信頼性の劣化が防止できる。

【0030】また、この発明によると、金属層を堆積した後、NイオンまたはOイオンを所定領域に注入し、その後金属層をシリサイド化させるため、Nイオン（またはOイオン）は金属層上から注入され、半導体基板に深く拡散するのが防止されるので、素子のホットキャリア耐性の変動が抑制される。

【0031】また、この発明によると、全面に形成した金属層を自己整合的にシリサイド化させた後、NイオンまたはOイオンを所定領域に注入するため、マスク工程以降の工程数が増え、製造の効率が向上する。

【0032】また、この発明によると、ゲート電極およびソース・ドレイン領域上にエビタキシャル層を選択成長させ、その後NイオンまたはOイオンの注入および金属層の堆積を行うため、シリサイド層はエビタキシャル層の厚みの分だけ高い位置に形成されることになり、ソース・ドレイン領域を半導体基板に予め深く形成しておくことができる。このため接合容量が低減できる。

【0033】また、この発明によると、金属層にT₁層を用い、T₁層上にH₂SO₄/H₂O₂に酸性を有する保護膜を形成し、次いでレジストマスクを用いてNイオンまたはOイオンを注入し、その後、レジストマスク除去後レジストマスクの残渣除去にH₂SO₄/H₂O₂を用いるが、T₁層上に保護膜を形成することにより、レジストマスクの残渣除去の際にH₂SO₄/H₂O₂にT₁層が溶解されることがなく、T₁層が侵されるのが防止できる。これによりレジストマスク除去にH₂SO₄/H₂O₂を用いる場合でもT₁のシリサイド層を信頼性良く形成することが可能となる。

【0034】また、この発明による半導体装置の製造方法は、ゲート電極およびソース・ドレイン領域を形成後、金属層を所定領域に選択的に形成して、この金属層をシリサイド化させることにより、ゲート電極およびソース・ドレイン領域上に、低抵抗シリサイド層の形成領域と非形成領域とを設ける。これにより、例えば入出力保護回路等、用途により低抵抗化が不適当なゲート電極およびソース・ドレイン領域上は、低抵抗シリサイド層の非形成領域とすることが容易にでき、回路設計上の自由度が増え、信頼性の高い半導体装置が容易に製造できる。また、低抵抗シリサイド層の形成領域と非形成領域とで従来の様にソース・ドレイン領域の面積が、余分なシリダロールの為に減少して抵抗を増大させることもなく、高速でさらに信頼性の高い半導体装置が得られる。

【0035】また、この発明によると、金属層にT₁層を用い、このT₁層上にH₂SO₄/H₂O₂に酸性を有する保護膜を形成し、この保護膜をレジストマスクを用いてパターニングした後レジストマスクをその残渣除去にH₂SO₄/H₂O₂を用いて除去し、残存した上記保護膜をマスクとしてT₁層をエッチングすることにより、T₁層を所定領域に選択的に形成する。このためレジストマスク除去時に、後工程で残存させるT₁層は保護膜で覆われておりH₂SO₄/H₂O₂に晒されて侵されることばなく、この際にレジストマスク除去にH₂SO₄/H₂O₂を用いる場合でも、T₁の低抵抗シリサイド層を信頼性良く形成することが可能となる。

【0036】また、この発明によると、保護膜としてS₁N₃層を用いるため、上述した様な保護膜による効果を確実に容易に実現できる。

【0037】また、この発明による半導体装置は、外部パッドに接続される導電層上に、外部パッドへの接続のためのコンタクトホール部を囲んで露出し、NイオンあるいはOイオンが導入された高抵抗シリサイド層を形成す

るか、あるいはシリサイド層を形成しないことにより、高抵抗領域を形成したため、外部バッドから入力されるサージが接合破壊を起こし易いソース・ドレイン領域（導電層）のコーナーや内部回路に到達して悪影響を与えるのが防止できる。このためサージによる接合破壊が防止され、サージに対する入力保護機能も向上する。

【0038】また、この発明によると、出力ドライバにおいて、外部バッドへの接続のためのコンタクトホールAが入力ドライバのゲート電極への接続のためのコンタクトホールBに対して、同一ソース・ドレイン領域内でゲート電極側に配設され、コンタクトホールA部とコンタクトホールB部との間および周囲に、NイオンあるいはOイオンが導入された高抵抗シリサイド層を形成するか、あるいはシリサイド層を形成しないことにより、高抵抗領域を形成した。この高抵抗領域の形成により、外部バッドから入力されたサージが、ソース・ドレイン領域のコーナー、および入力ドライバのゲート電極に到達するのが防止され、サージによる接合破壊が防止され、サージに対する入力保護機能も向上する。また、出力ドライバのソース・ドレイン領域上で、外部バッドへの接続のためのコンタクトホールAを、入力ドライバへの接続のためのコンタクトホールBに対してゲート電極側に配設したため、出力信号の遅延を低減できる。

【0039】また、この発明によると接続した配線層で外部バッド、出力ドライバのソース・ドレイン領域、および入力ドライバのゲート電極が順次接続されたため、出力ドライバのソース・ドレイン領域上で、外部バッドへの接続のためのコンタクトホールと共通となり、ソース・ドレイン領域の面積が低減でき、接合容量も削減できる。また、ソース・ドレイン領域の外側バッドへの接続のためのコンタクトホール周囲、および配線層と接続する入力ドライバのゲート電極上に高抵抗領域を形成したため、外部バッドから入力されたサージがソース・ドレイン領域のコーナー、および入力ドライバに到達するのが防止され、接合破壊の防止および入力保護機能の向上が図れる。

【0040】また、この発明によると、NイオンあるいはOイオンが導入された高抵抗シリサイド層を、ソース・ドレイン領域上でゲート絶縁膜との境界部近傍には形成しないため、ゲート絶縁膜形成時のプロセスにより薄い酸化膜が形成されている上記境界部近傍に、Nイオン（またはOイオン）を注入して損傷を与えて接合リーク等の劣化を生じさせるのを防止する。

【0041】

【実施例】

実施例1 以下、この発明の一実施例を図について説明する。なお、従来の技術と重複する箇所は、適宜その説明を省略する。図1はこの発明の実施例1による半導体装置の構造および製造方法を示す断面図である。まず、

図10～図16で示した従来のものと同様の方法で、ゲート電極5形成時、N型LDD領域7を形成し、全面にTEOS膜8を堆積後、全面エッチバックしてサイドウォール9を形成し、その後、N型ソース・ドレイン領域10を形成する。

【0042】次に、全面にレジストマスクとなるホトリソ膜17を形成後、ホトリソグラフィ技術を用いてパターンニングする。このホトリソ膜17をマスクにして、基板1上からイオン注入法によりNイオン（またはOイオン）を、例えば注入エネルギー：20KeV～90KeV、注入量：4E15～5E16 ions/cm²で注入する。これにより、NMOSトランジスタ領域におけるゲート電極5およびソース・ドレイン領域10にNイオン（またはOイオン）注入シリコン層18が形成される（図1(a)）。次に、ホトリソ膜17を除去後、前工程のイオン注入による損傷の修復および拡散のために、必要であれば基板1にランゾアニール等の熱処理を施し、その後、全面にT1層11を例えばスパッタ法により堆積する（図1(b)）。

【0043】次に、基板1にランゾアニール等の熱処理を施して、シリコン上のT1層11を下地のシリコンと反応させてシリサイド化する。このとき、NMOSトランジスタ領域では、Nイオン（またはOイオン）注入シリコン層18上のT1層11がTixNyxSi₂（またはTixOySi₂）で表されるミキソング層19に変換され、NMOSトランジスタ領域では、シリコン上のT1層11がTixSi₂層12に変換される。この後、未反応のT1層11をH₂SO₄/H₂O₂等の溶液を用いて除去する。これによりゲート電極5およびソース・ドレイン領域10上に、NMOSトランジスタ領域では低抵抗シリサイド層としてのTixNyxSi₂（またはTixOySi₂）が、NMOSトランジスタ領域では高抵抗シリサイド層としてのTixNyxSi₂（またはTixOySi₂）が形成される（図1(c)）。この後、周囲絶縁膜および電極配線層の形成を行い、所定の処理を施して半導体装置を完成する（図示せず）。

【0044】上記実施例1で形成されるTixNyxSi₂（またはTixOySi₂）は、ミキソング層19はTixSi₂層12に比べ格段と高抵抗なシリサイド層であることが判明している。すなわち、上記実施例1では、シリサイド技術を用いる前に選択的にNMOSトランジスタ領域にNイオン（またはOイオン）を注入することによって、このイオン注入領域（NMOSトランジスタ領域）におけるゲート電極5およびソース・ドレイン領域10上に高抵抗なTixNyxSi₂（またはTixOySi₂）は、ミキソング層19を、それ以外（NMOSトランジスタ領域）のゲート電極5およびソース・ドレイン領域10上に低抵抗なTixSi₂層12を形成するものである。

【0045】このため、低抵抗なTixSi₂層12形成

領域と高抵抗なTixNyxSi₂（またはTixOySi₂）は、ミキソング層19形成領域と同一基板1上に選択的に容易に形成できる。また、これら2つの形成領域においてソース・ドレイン領域10の不純物分布は同じであり、またTixSi₂層12形成領域10の面積が従来のシリサイド層10上のTixSi₂層12の面積が従来のシリサイド層10の面積に減少することもない。また、T1層11を形成する前に、Nイオン（またはOイオン）の注入を行っていないため、T1原子がノックオフされてPN接合近辺に達することはなく、接合リーク等信頼性の劣化が防止できる。

【0046】なお、NイオンまたはOイオンの注入はN₂OイオンやO₂イオンでも良く、本明細書ではNイオンまたはOイオンはN₂Oイオン、O₂イオンを含むものとす。また、NイオンまたはOイオンの注入条件は、TixSi₂層12の膜厚や抵抗値の設定値によって異なるものである。

【0047】実施例2 上記実施例1で示した半導体装置の他の製造方法について、以下実施例2～実施例5に示す。図2はこの発明の実施例2による半導体装置の製造方法を示す断面図である。まず、図10～図16で示した従来のものと同様の方法で、ゲート電極5形成後、N型LDD領域7を形成し、全面にTEOS膜8を堆積後、全面エッチバックしてN型ソース・ドレイン領域10を形成する。次に、全面にT1層11を例えばスパッタ法により堆積する（図2(a)）。次に、全面にホトリソ膜17を形成し、ホトリソグラフィ技術によりパターンニングする。このホトリソ膜17をマスクにして、基板1上からイオン注入法によりNイオン（またはOイオン）を注入する。これにより、NMOSトランジスタ領域におけるT1層11にNイオン（またはOイオン）が注入され、Nイオン（またはOイオン）注入シリコン層19に変換される（図2(b)）。この後、周囲絶縁膜および電極配線層の形成を行い、所定の処理を施して半導体装置を完成する（図示せず）。

【0048】次に、ホトリソ膜17を除去した後（図2(c)）、基板1にランゾアニール等の熱処理を施して、シリコン上のT1層11およびNイオン（またはOイオン）注入T1層20を下地のシリコンと反応させてシリサイド化する。このとき、NMOSトランジスタ領域では、Nイオン（またはOイオン）注入T1層20がTixNyxSi₂（またはTixOySi₂）で表されるミキソング層19に変換され、NMOSトランジスタ領域では、T1層11がTixSi₂層12に変換される。この後、未反応のT1層11、20をH₂SO₄/H₂O₂等の溶液を用いて除去する（図2(d)）。この後、上記実施例1と同様の処理を施して半導体装置を完成する。

【0049】上記実施例2においても上記実施例1と同様に、低抵抗なTixSi₂層12形成領域と高抵抗なTixNyxSi₂（またはTixOySi₂）は、ミキソング層19形成領域と同一基板1上に選択的に容易に形成できる。またこれら2つの形成領域においてソース・ド

レイン領域10の不純物分布は同じであり、またTixSi₂層12形成領域10におけるソース・ドレイン領域10上のTixSi₂層12の面積が従来の領域に減少することはない。また、上記実施例2では、Nイオン（またはOイオン）をT1層11形成後に注入するため、基板1に深く拡散するのが防止され、素子のホットキャリア特性の悪影響が抑制される。

【0050】実施例3 次に、この発明の実施例3による半導体装置の製造方法を図3に基づいて以下に示す。まず、図10～図16で示した従来のものと同様の方法で、ゲート電極5形成後、N型LDD領域7を形成し、全面にTEOS膜8を堆積後、全面エッチバックしてN型ソース・ドレイン領域10を形成する。次に、全面にT1層11を例えばスパッタ法により堆積した後（図3(a)）、基板1にランゾアニール等の熱処理を施してシリコン上のT1層11をシリサイドさせてTixSi₂層12に変換させた後、未反応のT1層11をH₂SO₄/H₂O₂等の溶液を用いて除去する（図3(b)）。

【0051】次に、全面にホトリソ膜17を形成した後、ホトリソグラフィ技術を用いてパターン化する。このホトリソ膜17をマスクにして、基板1上からNイオン（またはOイオン）を注入する。これにより、NMOSトランジスタ領域のTixSi₂層12にNイオン（またはOイオン）が注入され、Nイオン（またはOイオン）注入シリコン層21が形成される（図3(c)）。次に、ホトリソ膜17を除去後、基板1に熱処理を施して、Nイオン（またはOイオン）注入TixSi₂層21をTixNyxSi₂（またはTixOySi₂）（c）。この後、周囲絶縁膜および電極配線層の形成を行い、所定の処理を施して半導体装置を完成する（図示せず）。

【0052】この実施例でも、低抵抗なTixSi₂層12形成領域と高抵抗なTixNyxSi₂（またはTixOySi₂）は、ミキソング層19形成領域と同一基板1上に選択的に容易に形成できる。またこれら2つの形成領域において、ソース・ドレイン領域10の不純物分布は同じであり、またTixSi₂層12形成領域におけるソース・ドレイン領域10上のTixSi₂層12の面積が従来の領域に減少することはない。また、通常のシリサイド技術よりシリコン上にTixSi₂層12を形成した後、選択的にTixSi₂層12の一部をTixNyxSi₂（またはTixOySi₂）は、ミキソング層19に置き換えるため、TixSi₂層12形成までをマスク工程で処理でき、その後TixNyxSi₂（またはTixOySi₂）は良い。このため、マスク工程以降の工程数が減少し製造の効率が向上する。

【0053】なお、Nイオン（またはOイオン）注入後

の熱処理は、層間絶縁膜形成時のリフロー等と兼ねて行っても良い。

【0054】実施例4. 次に、この発明の実施例4による半導体装置の製造方法を図4に基づいて以下に示す。まず、図10～図16で示した従来のものと同様の方法で、ゲート電極5形成後、N型シDD領域7を形成し、全面にTEOS膜8を堆積後全面エッチバックしてN型ソース・ドレイン領域10を形成する。次に、ゲート電極5上およびソース・ドレイン領域10上、シリコンのエピタキシャル層を選択成長させエピタキシャル層としてのエビ選択成長層22を形成する(図4(a))。次に、全面にホトレジスト膜17を形成し、ホトリソグラフィ技術によりパターン化する。このホトレジストパターン17をマスクにして、基板1上からイオン注入法により、Nイオン(またはOイオン)を注入する。これによりNMOSトランジスタA領域のエビ選択成長層22にNイオン(またはOイオン)が注入され、Nイオン(またはOイオン)注入エビ選択成長層23が形成される(図4(b))。

【0055】次に、ホトレジスト膜17を除去した後、前工程のイオン注入による損傷の修復および弛緩のために、必要であれば基板1にランゾアニール等の熱処理を施す。その後、上記実施例1と同様の方法で、T1層1を形成した後(図4(c))、熱処理によりシリサイドを形成したT1層1を除去する。これにより、NMOSトランジスタA領域では、Nイオン(またはOイオン)注入エビ選択成長層23上のT1層1がT1xNySi2(またはTixOySi2)ミキソング層19に變成され、NMOSトランジスタB領域では、エビ選択成長層22上のT1層1がT1Si2層12に變成される(図4(d))。その後、上記実施例1と同様の処理を施して半導体装置は完成する。

【0056】上記実施例4では、ソース・ドレイン領域10形成後、エビ選択成長層22を形成し、そのシリサイドを用いて、更に上層に形成されたT1層1をシリサイド化する。このため、シリサイド膜12、19はエビ選択成長層22の厚みの分だけ高い位置に形成される。このためソース・ドレイン領域10を浅く形成でき、接合容量を低減できる。

【0057】なお、上記実施例4では、エビ選択成長層22にNイオン(またはOイオン)を注入したが、上記実施例2または上記実施例3で示した様に、T1層11(またはOイオン)の注入を行っても良い。

【0058】また、上記実施例1～4では、金属層としてT1層11を用いてシリサイド化させているが、W、Ni、Co等、他の高融点金属または貴金属でシリサイド化が可能なものであれば良い。

【0059】実施例5. 次に、この発明の実施例5による半導体装置の製造方法を図5に基づいて以下に示す。

上記実施例2と同様にT1層11の形成までを行った後、T1層11上の全面に保護膜としてのSi3N4層24を堆積する(図5(a))。次に、全面にホトレジスト膜17を形成し、ホトリソグラフィ技術によりパターン化する。このホトレジストパターン17をマスクにして、基板1上からイオン注入法によりNイオン(またはOイオン)をSi3N4層24を介してT1層11に注入し、Nイオン(またはOイオン)注入T1層20が形成される(図5(b))。

【0060】次に、ホトレジスト膜17をアジター等により除去し、更にホトレジスト膜17の残渣をH2SO4/H2O2を用いて除去する(図5(c))。次に、H3PO4等を用いてSi3N4層24を除去した後、上記実施例2と同様に、基板1にランゾアニール等の熱処理を施した後、未反応のT1層11、20をH2SO4/H2O2等の溶液を用いて除去する(図5(d))。

【0061】上記実施例5は、上記実施例2におけるNイオン(またはOイオン)の注入マスクとなるホトレジスト膜17形成前にT1層11上の全面にSi3N4層24を形成し、ホトレジスト膜17除去後にSi3N4層24を除去したものである。ところで、ホトレジスト膜の除去はアジター等で行った後、残渣をウェット処理により除去する方法が一般的であるが、ホトレジスト膜の種類により、残渣除去する際、上記実施例5に示す様にH2SO4/H2O2を用いる。このH2SO4/H2O2は未反応のT1層11、20除去にも用いる溶液であり、T1層11を侵すものである。上記実施例5では、T1層11上の全面にSi3N4層24を形成するため、ホトレジスト膜17除去時に、T1層11、20がH2SO4/H2O2に曝されることがなくT1層11、20の侵食が防止できる。このためホトレジスト膜17除去にH2SO4/H2O2を用いる場合でも、信頼性良くT1のシリサイド層12、19を形成することができる。

【0062】なお、保護膜としては、H2SO4/H2O2に対して耐性を有し、形成および除去が容易である他の材料を用いても良い。

【0063】実施例6. 次に、この発明の実施例6による半導体装置の製造方法を図6に基づいて以下に示す。まず、図10～図16で示した従来のものと同様の方法で、ゲート電極5形成後、N型シDD領域7を形成し、全面にTEOS膜8を堆積後、全面エッチバックしてN型ソース・ドレイン領域10を形成する。次に、全面にT1層11を例えばソース・ドレイン領域10を堆積した後、さらにその上の全面にSi3N4層24を堆積する(図6(a))。次に、全面にホトレジスト膜17を形成し、ホトリソグラフィ技術によりパターン化する。このホトレジストパターン17をマスクにして、下地のSi3N4層24をエッチバック除去しNMOSトランジスタB領域にのみSi3N4層24aを残存させる(図6(b))。

【0064】次に、ホトレジスト膜17をアジター等により除去し、更にホトレジスト膜17の残渣をH2SO4/H2O2を用いて除去する。続いてSi3N4層24aをマスクにして下地のT1層11をエッチバック除去し、NMOSトランジスタB領域にのみT1層11aを残存させる(図6(c))。次に、H3PO4を用いてSi3N4層24aを除去した後(図6(d))、基板1にランゾアニール等の熱処理を施してシリコン上のT1層11aをT1Si2層12に變成させ、その後未反応のT1層11aをH2SO4/H2O2等の溶液を用いて除去する(図6(e))。その後、上記実施例1と同様の処理を施して半導体装置は完成する。

【0065】上記実施例6では、NMOSトランジスタB領域にのみ低抵抗シリサイド層としてのT1Si2層12を形成し、NMOSトランジスタA領域にはシリサイド層は形成しない。また、従来の様にT1Si2層12形成領域と非形成領域として、ソース・ドレイン領域10の不純物分布が異なることなく、T1Si2層12形成領域においてソース・ドレイン領域10上のT1Si2層12の面積が減少することもない。さらに、ホトレジスト膜17除去時に、後工程で残存させるT1層11a上にはSi3N4層24aが覆われているため、T1層11aがH2SO4/H2O2に曝されることなく侵食が防止できる。

【0066】なお、この場合も上記実施例4と同様にSi3N4層24はH2SO4/H2O2に対して耐性のある他の材料であっても良い。

【0067】また、ホトレジスト膜17の種類によりその除去にH2SO4/H2O2を用いない場合、あるいはT1層11以外のH2SO4/H2O2に耐性を有する金属層を用いる場合は、Si3N4層24を用いる必要はなくシリコンマスク17を用いて直接金属層をエッチングできる。

【0068】また、上記実施例1～6では、NMOSトランジスタについて述べているが、PMOSトランジスタでも良いことは明らかであり、しかも、ホトレジストマスク17で決定される低抵抗なT1Si2層12形成領域と高抵抗なT1Si2層12非形成領域(またはT1xNySi2ミキソング層19形成領域)は、トランジスタ毎に決められるだけでなく、任意に設定可能であり、例えば1つのゲート電極5パターン・ソース領域10(またはドレイン領域)の拉放層の中でT1Si2層12形成領域と非形成領域(またはT1xNySi2ミキソング層19形成領域)に分けても良い。

【0069】実施例7. 次に、上述した様な低抵抗シリサイド層の形成領域と非形成領域(または高抵抗シリサイド層の形成領域)とを選択的に設けた半導体装置を用いた保護膜に適用した例を示す。図7はこの発明の実施例による半導体装置を出入力ドライバについて示したもので、図7(a)は等価回路図、図7(b)は図7

(a)の出力ドライバにおけるレイアウトパターン図である。図において、25はPMOSトランジスタ、26はNMOSトランジスタ、27a～dは配線層としての金属配線層、28は増電層となるゲート電極、29a～cはPMOSトランジスタ25の増電層となるソース・ドレイン領域、30a～cはNMOSトランジスタの増電層となるソース・ドレイン領域、31a～dはコンタクトホール、31bは外部PADへの接続のためのコンタクトホール、31cはゲート電極28への接続のためのコンタクトホール、31dはVDDへの接続のためのコンタクトホール、32はゲート電極28上およびソース・ドレイン領域29、30上のT1Si2層、33は外部PADと接続されるドレイン領域29a、30a上に形成された高抵抗シリサイド層としてのT1xNySi2ミキソング層である。

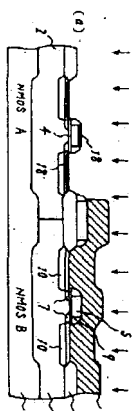
【0070】図7(a)における等価回路図を簡単に説明すると、入力Aが、入力BがHの時に出カドライバは、その逆の時に出力ドライバとなる。図7(b)に示す様に、外部PADに接続される金属配線層27aのコンタクトホールA31aをPMOSトランジスタ25およびNMOSトランジスタ26のドレイン領域29a、30aに形成し、それを囲む様にT1xNySi2ミキソング層33を形成して形成する。また入力ドライバに接続される金属配線層27bのコンタクトホールB31bもPMOSトランジスタ25のドレイン領域29aに形成し、外部PADへの接続のためのコンタクトホールA31aよりもゲート電極28から離れた位置に配設する。また、ソース・ドレイン領域29、30に形成されるコンタクトホールA31部にはT1Si2層32が形成され、その他、ソース・ドレイン領域29、30上およびゲート電極28上、T1xNySi2ミキソング層33を形成しない領域には、T1Si2層32を形成するものである。

【0071】この様に、コンタクトホール31を低抵抗なT1Si2層32上に形成する事によりコンタクト抵抗を低減させる。また外部PADへの接続のためのコンタクトホールA31aを囲む様にドレイン領域29a、30a上に高抵抗なT1xNySi2ミキソング層33を形成することにより、外部PADから入力されるサーチャージを吸収して、外部PADから入力されるサーチャージあるいは入力ドライバに接続される金属配線層27bに到達するまでの間に、必ず高抵抗なT1xNySi2ミキソング層33が存在することになり、上記サーチャージをドレイン領域29a、30a底面のダイオードから有効に逃がすことができる。これによりサーチャージによる接合破壊が防止され、またサーチャージに対する入力保護機能も向上する。また、外部PADへの接続のためのコンタクトホールA31aを、入力ドライバへの接続のため、コンタクトホールB31bよりも同一ドレイン領域2

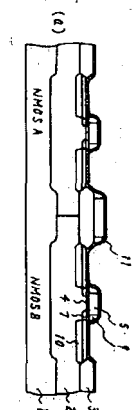
2図、17 レジストマスカとなるホトレジスト膜、19、高抵抗シリサイド層としてのTi₂NySi₂zミキシンング層、22 エピタキシャル層としてのエヒ選択成長層、24、24a 保護膜としてのSi₃N₄層、27 a～d 配線層としての金属配線層、28、28a 導電層となるゲート電極、29a～c 導電層としてのソ

ース・ドレイン領域、30a～c 導電層となるソース・ドレイン領域、31a コンタクトホールA、31b コンタクトホールB、33 高抵抗シリサイド層としてのTi₂NySi₂zミキシンング層、34 フォーワード絶縁膜、35 境界部近傍としてのフォワード絶縁部

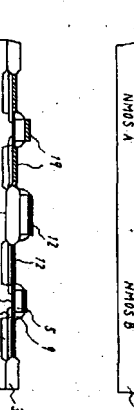
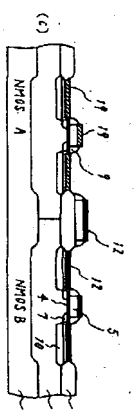
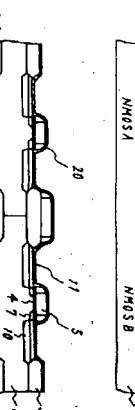
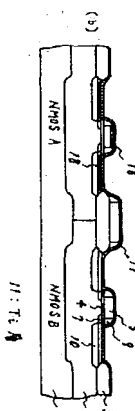
【図1】



【図2】



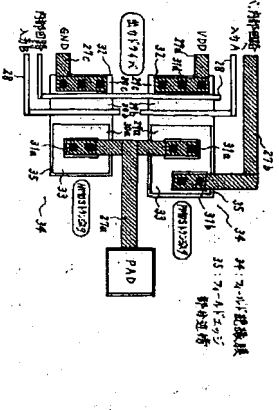
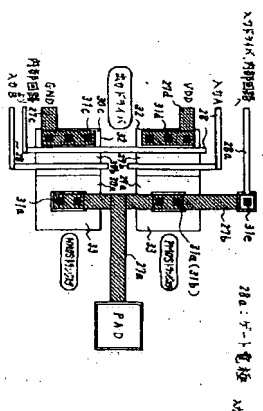
1: 半導体基板
5: ゲート電極
7: LDD形成
9: フォトリソグ
10: フォトリソグ
17: ホトレジスト膜



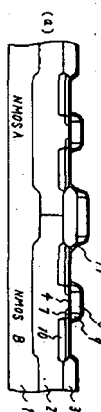
12: Ti₂NySi₂z
19: Ti₂NySi₂z

【図8】

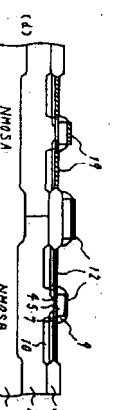
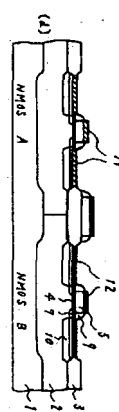
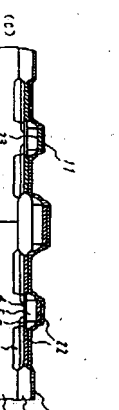
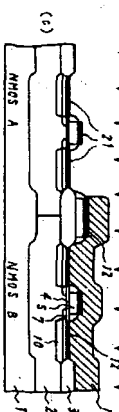
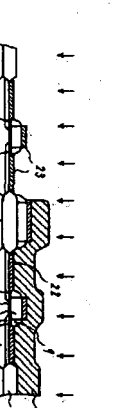
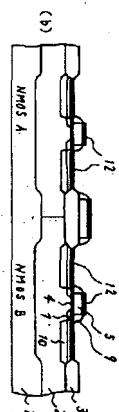
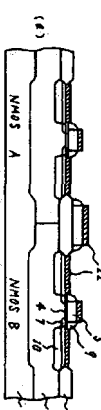
【図9】



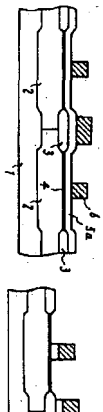
【図3】



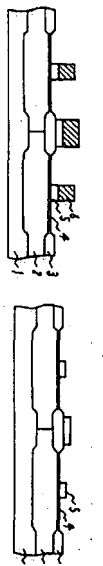
【図4】



【図10】



【図11】

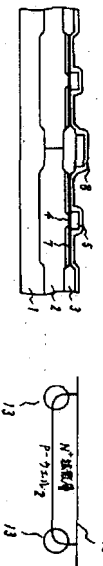


【図12】

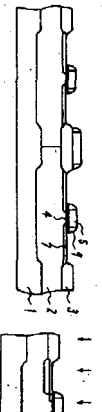
【図13】



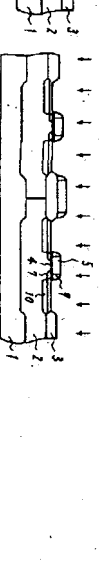
【図14】



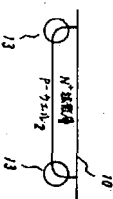
【図15】



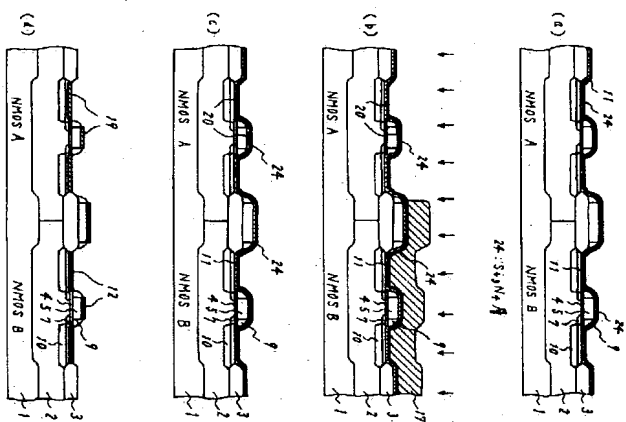
【図16】



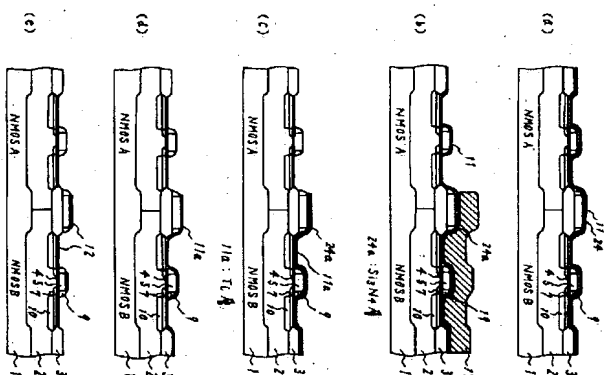
【図19】



【図5】



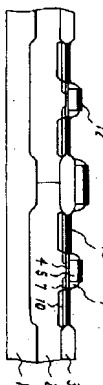
【図6】



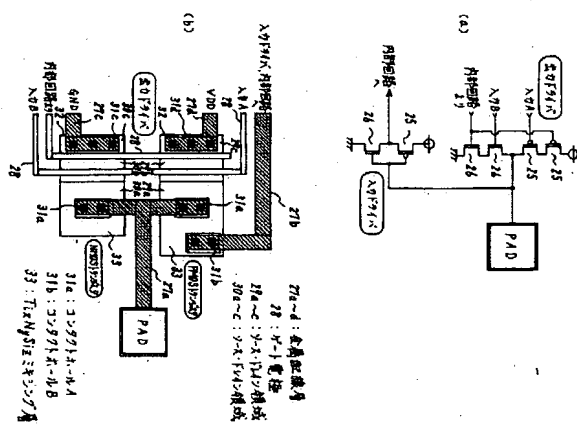
【図17】



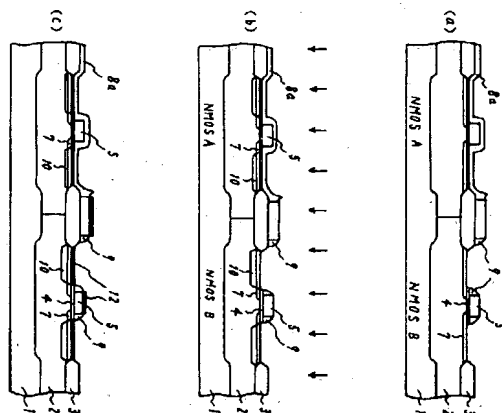
【図18】



【図7】



【図20】



【図21】

